

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
23. September 2004 (23.09.2004)

PCT

(10) Internationale Veröffentlichungsnummer
WO 2004/082144 A1

(51) Internationale Patentklassifikation⁷: **H03L 7/085**,
H03D 13/00

(74) Anwälte: **KÖRFER, Thomas** usw.; Mitscherlich & Partner, Postfach 33 06 09, 80066 München (DE).

(21) Internationales Aktenzeichen: PCT/EP2004/001154

(81) Bestimmungsstaaten (soweit nicht anders angegeben, für jede verfügbare nationale Schutzrechtsart): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(22) Internationales Anmeldedatum:
9. Februar 2004 (09.02.2004)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:
103 11 049.6 13. März 2003 (13.03.2003) DE

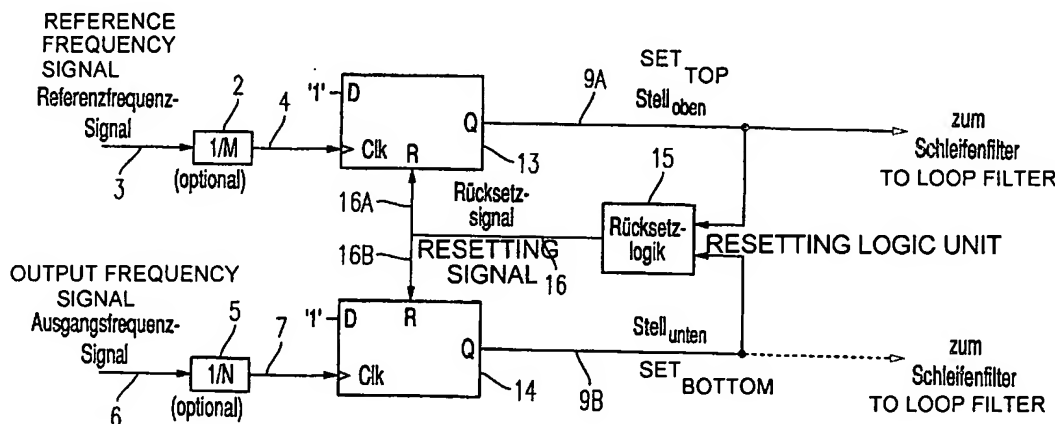
(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von US): **ROHDE & SCHWARZ GMBH & CO. KG** [DE/DE]; Mühlendorfstrasse 15, 81671 München (DE).

(84) Bestimmungsstaaten (soweit nicht anders angegeben, für jede verfügbare regionale Schutzrechtsart): ARIPO (BW, GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), europäisches (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT,

[Fortsetzung auf der nächsten Seite]

(54) Title: PHASE-LOCKED/FREQUENCY-LOCKED LOOP AND PHASE/FREQUENCY COMPARATOR THEREFOR

(54) Bezeichnung: PHASEN-/FREQUENZREGELKREIS UND PHASEN-/FREQUENZ-KOMPARATOR HIERFÜR



(57) Abstract: The phase/frequency comparator (8) consists of two edge-triggered storage elements (13, 14), which are each set by an edge of a reference frequency signal (3) of a phase-locked/frequency-locked loop (1) and by an edge of an output frequency signal (6) of the phase-locked/frequency-locked loop (1) and which are each reset by an output signal (16) of a resetting logic unit (15). The output signal (16) of the resetting logic unit (15) is activated once both output signals (9A, 9B) of both edge-triggered storage elements (13, 14) are activated, and is then deactivated once both output signals (9A, 9B) of both edge-triggered storage elements (13, 14) are deactivated.

(57) Zusammenfassung: Der Phasen-/Frequenzkomparator (8) besteht aus zwei flankengetriggerten Speichergliedern (13, 14), die jeweils mit einer Flanke eines Referenzfrequenz-Signals (3) eines Phasen-/Frequenzregelkreises (1) und einer Flanke eines Ausgangsfrequenz-Signals (6) des Phasen-/Frequenzregelkreises (1) gesetzt werden und jeweils mit einem Ausgangssignal (16) einer Rücksetzlogik-Einheit (15) zurückgesetzt werden. Das Ausgangssignal (16) der Rücksetzlogik-Einheit (15) ist erst dann aktiviert, wenn die beiden Ausgangssignale (9A, 9B) der beiden flankengetriggerten Speicherglieder (13, 14) aktiviert sind, und ist erst dann deaktiviert, wenn die beiden Ausgangssignale (9A, 9B) der beiden flankengetriggerten Speicherglieder (13, 14) deaktiviert sind.